

PATENT ABSTRACTS OF JAPAN

P. 16

(11)Publication number : 2000-223963

(43)Date of publication of application : 11.08.2000

(51)Int.Cl. H03F 3/19
H03F 1/22

(21)Application number : 11-021299 (71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.01.1999 (72)Inventor : YAMAJI TAKAFUMI
WATANABE OSAMU
TANIMOTO HIROSHI

(54) HIGH FREQUENCY AMPLIFIER

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a high gain without increase of power consumption.

SOLUTION: A high frequency amplifier is constituted of a first transistor Q11 to amplify and output a high frequency signal to be inputted in a signal input terminal 11a matching circuit 13 between stages to be constituted of plural reactance elements to define an output signal of the transistor Q11 as input and a second transistor Q12 to amplify the high frequency signal to be inputted via the matching circuit 13 between stages and to output the amplified signal to a signal output terminal 15. Impedance matching is performed between output impedance of the transistor Q11 and input impedance of the transistor Q12 and bias current which is the same as the one to be supplied to the transistor Q12 is commonly supplied to the transistor Q11 by the matching circuit 13 between stages.

CLAIMS

[Claim(s)]

[Claim 1]Have the following and said interstage matching circuit performs an impedance match of output impedance of said 1st transistor and an input impedance of said 2nd transistor. High-frequency amplifier supplying the same bias current as bias current which flows into said 2nd transistor to said 1st transistor.

The 1st transistor that amplifies and outputs a high frequency signal inputted from a

signal input terminal.

An interstage matching circuit which is constituted by two or more reactive elements and considers an output signal of said 1st transistor as an input.

The 2nd transistor that amplifies a high frequency signal inputted via said interstage matching circuit and is outputted to a signal output terminal.

[Claim 2] The high-frequency amplifier according to claim 1 having an output matching circuit which performs an impedance match of output impedance of this 2nd transistor and said load circuit to an output side of said 2nd transistor.

[Claim 3] The high-frequency amplifier according to claim 1 or 2 wherein said 1st transistor and said 2nd transistor constitute a grounded gate amplifying circuit or a base grounding amplifier circuit.

[Claim 4] Cascade connection of two or more transistors which constitute a grounded gate amplifying circuit or a base grounding amplifier circuit is carried out via an interstage matching circuit which consists of two or more reactive elements. Said interstage matching circuit performs a match of a drain of a transistor of the preceding paragraph or output impedance of a collector and a latter transistor or an impedance match with an input impedance of an emitter and a common bias current which flows into a latter transistor via said interstage matching circuit and common bias current to a transistor of the preceding paragraph.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the high-frequency amplifier suitable for the wireless circuit of the portable device with which the high-frequency amplifier used for radio is started especially high gain and low power consumption are demanded.

[0002]

[Description of the Prior Art] As conventional high-frequency amplifier literature "A" by Mr. Hershel Ainspan and others. 6.25 GHz Low DC Power Low-Noise Amplifier in SiGe" Proceedings of IEEE 1997 and Custom Integrated Circuits Conference pp.9.2.1-9.2.4 are known.

[0003] Drawing 6 is a figure showing the outline of the principal part of the high-frequency amplifier indicated in this literature. The high frequency signal inputted into the input terminal IN is amplified by the grounded emitter amplifying circuit constituted by the transistor Q1. The transistor Q2 for avoiding the influence of mirror capacity was connected to the collector of this transistor Q1 and this has prevented the gain reduction in high frequency. Such connection of transistor Q1 and Q2 is called cascode connection. After the collector current of the transistor Q2 is

changed into a voltage signal by the load circuit which consists of the inductor L and the capacitor C it is taken out by the output terminal via the emitter follower circuit which consists of the transistor Q3 which functions as an output buffer.

[0004] In the high-frequency amplifier using such cascode connection the element which is functioning as a power amplification element is only the transistor Q1 as a matter of fact. That is in drawing 6 the same bias current is flowing into the transistor Q1 and Q2 in common and Q2 has inputted the collector current of Q1 into the emitter directly. In a bipolar transistor since impedance of a collector output is high and an emitter input has low impedance the output current from the collector of the transistor Q1 is efficiently received and passed to the transistor Q2.

[0005] However when it thinks as delivery of the electric power from the collector of the transistor Q1 to the transistor Q2 the transistor Q1 and the transistor Q2 are in the situation of mismatching. For this reason the power amplification can expect only the increment by the reduction effect of mirror capacity compared with the case of transistor Q1 simple substance.

[0006]

[Problem(s) to be Solved by the Invention] Since the number of the transistors which function as a power amplification element in the conventional high-frequency amplifier is one as mentioned above power gain is not so high. When it was going to acquire the higher profit the same circuit needed to be connected to two or more step column and there was a problem that power consumption increased.

[0007] This invention is made in order to cancel such a problem and it is a thing. The purpose is to provide the high-frequency amplifier which can realize high gain without being accompanied by increase.

[0008]

[Means for Solving the Problem] In order to solve an aforementioned problem this invention is characterized by high-frequency amplifier comprising the following. The 1st transistor that amplifies and outputs a high frequency signal inputted from a signal input terminal.

An interstage matching circuit which is constituted by two or more reactive elements and considers an output signal of the 1st transistor as an input.

The 2nd transistor that amplifies a high frequency signal inputted via this interstage matching circuit and is outputted to a signal output terminal.

An impedance match of output impedance of the 1st transistor and an input impedance of the 2nd transistor is performed and an interstage matching circuit is constituted so that the same bias current as bias current which flows into the 2nd transistor may be supplied to the 1st transistor.

[0009] An output matching circuit which performs an impedance match of output impedance of the 2nd transistor and a load circuit to an output side of the 2nd transistor -- ~~pan *****~~ -- things are desirable.

[0010]In high-frequency amplifier of this invention constituted in this way. An output output of the 1st transistor is changed into low impedance by interstage matching circuit and since it becomes a signal with larger current amplitude and a small voltage swing and is inputted into the 2nd transistor delivery of electric power from the 1st transistor to the 2nd transistor is performed efficiently. Therefore if an impedance match of an output side of the 2nd transistor is taken appropriately not only the 1st transistor but the 2nd transistor will function effectively as a power amplification element and a high profit will be acquired.

[0011]By combining the 1st transistor and 2nd transistor via an interstage matching circuit Since the same bias current flows as a bias current which flows through the 2nd transistor flows into the 1st transistor in common via an interstage matching circuit power consumption is stopped on a par with the conventional high-frequency amplifier on which only the 1st transistor functions as a power amplification element.

[0012]In this invention the 1st transistor and 2nd transistor are preferably constituted as a grounded gate amplifying circuit or a base grounding amplifier circuit. About the 1st transistor it carries out as a grounded source amplifying circuit or a grounded emitter amplifying circuit and although it may constitute if it is a grounded gate amplifying circuit or a base grounding amplifier circuit combination between the 1st [by interelectrode capacitance of the 1st transistor] and 2nd transistor will be prevented more certainly.

[0013]This invention can also have composition which carried out cascade connection of many transistors via an interstage matching circuit further. Namely cascade connection of two or more transistors which constitute a grounded gate amplifying circuit or a base grounding amplifier circuit is carried out via an interstage matching circuit which consists of two or more reactive elements An interstage matching circuit performs same of a drain of a transistor of the preceding paragraph or output impedance of a collector and a latter transistor or an impedance match with an input impedance of an emitter and. It may be made to supply bias current which flows into a latter transistor and common bias current to a transistor of the preceding paragraph.

[0014]A higher profit can be realized without increasing power consumption by having such composition.

[0015]

[Embodiment of the Invention] Hereafter one embodiment of this invention is described with reference to drawings.

(A 1st embodiment) Drawing 1 is a circuit diagram of the high-frequency amplifier concerning a 1st embodiment of this invention. Although the case where a bipolar transistor is used as a transistor is explained it can also constitute from this embodiment using MOSFET.

[0016]In drawing 1 the signal input terminal 11 into which the high frequency signal RF in is inputted is connected to the input edge of the input matching circuit 12 constituted by the capacitor C1 and C2 and the inductor L1 and the outgoing end of

this input matching circuit 12 is connected to the base of the 1st transistor Q11. DC-bias-voltage V_{bias1} is impressed to the base of the transistor Q11 via the inductor L1 in the input matching circuit 12. The emitter of the transistor Q11 is grounded via the inductor L2 for DIJENE ratios for expanding the linearity range. The transistor Q11 constitutes the grounded emitter amplifying circuit.

[0017]The collector of the transistor Q11 is connected to the input edge of the inductor L3 the capacitor C3 and the interstage matching circuit 13 that comprises C4 and the outgoing end of this interstage matching circuit 13 is connected to the emitter of the 2nd transistor Q12. DC-bias-voltage V_{bias2} is impressed to the base of this transistor Q12. The transistor Q12 constitutes the base grounding amplifier circuit.

[0018]The collector of the transistor Q12 is connected to the input edge of the output matching circuit 14 constituted by the inductor L4 and the capacitor C5. The outgoing end of this output matching circuit 14 is connected to the signal output terminal 15 and the high frequency signal RF_{out} amplified from this signal output terminal 15 is outputted. The transmission line with a characteristic impedance of 50 ohms is connected to the signal output terminal 15 for example.

[0019]Next operation of this high-frequency amplifier is explained. The high frequency signal RF_{in} inputted into the signal input terminal 1 is supplied to the base of the transistor Q11 via the input matching circuit 12 is amplified by the transistor Q11 and is outputted from a collector. The transistor Q11 constitutes the grounded emitter amplifying circuit and its output impedance of the collector which is an output is high.

[0020]The collector output of the transistor Q11 is changed into low impedance by the interstage matching circuit 13 serves as a signal with a small voltage swing with large current amplitude and is inputted into the emitter of the transistor Q12. That is the interstage matching circuit 13 keeps the electric power of the inputted signal almost constant and changes the ratio of impedance i.e. current and voltage.

Therefore unlike the collector of the transistor Q11 and the conventional high-frequency amplifier which linked the emitter of the transistor Q12 directly bigger signal current than the output current of the collector of the transistor Q11 flows into the emitter of the transistor Q12 from the interstage matching circuit 13.

[0021]In this case although the current of the amplitude appears mostly with the current inputted into the emitter in the collector of the transistor Q12 the impedance of the collector is it is high and higher than the characteristic impedance of the transmission line connected to the signal output terminal RF_{out} . Then if the output impedance of the collector output of the transistor Q12 is lowered and an impedance match with the transmission line is taken by the output matching circuit 14 the transistor Q12 will also function effectively as a power amplification element.

[0022]On the other hand the transistor Q11 and the bias current flow of Q12 It flows into the collector of the transistor Q12 via the inductor L4 of the output matching circuit 14 from the source end V_{cc} and flows into the collector of the transistor Q11

via the interstage matching circuit 13 from the emitter of the transistor Q12 further. That is the same bias current flow as the bias current flow which flows through the transistor Q12 flows into the transistor Q11 in common via the interstage matching circuit 13 by combining the transistors Q11 and Q12 via the interstage matching circuit 13. Therefore only the transistor Q11 of power consumption is the same as that of the conventional high-frequency amplifier which functions as a power amplification element.

[0023] Thus the high-frequency amplifier of this embodiment connects the transistor Q11 and Q12 by the interstage matching circuit 13 and supply the same bias current flow to both the transistors Q11 and Q12 in common and. Not only the transistor Q11 but the transistor Q12 is operated as a power amplification element. Therefore high power gain can be obtained as compared with the case where a power amplification element is independent [transistor Q11] without increasing power consumption.

[0024] (A 2nd embodiment) Drawing 2 is a circuit diagram of the high-frequency amplifier concerning a 2nd embodiment of this invention. When identical codes are attached and explained to drawing 1 and a corresponding portion this embodiment differs from a 1st embodiment in that the 1st transistor Q11 constitutes the base grounding amplifier circuit.

[0025] The input matching circuit 12 is constituted from this example by the inductor L5 and L6 and the capacitor C6 and that output terminal is connected to the emitter of the transistor Q11. And DC-bias-voltage Vbias1 is supplied to the base of the transistor Q11. The collector of the transistor Q11 is connected to the input terminal of the interstage matching circuit 13. Other composition is the same as that of a 1st embodiment.

[0026] Although the transistor Q11 and Q12 constitute the base grounding amplifier circuit from both high-frequency amplifier of this embodiment. The impedance match of the output impedance of the transistor Q11 and the input impedance of the transistor Q12 is taken by the interstage matching circuit 13. By furthermore taking the impedance match of the output impedance of the transistor Q12 and the impedance of the signal output terminal 15 high power gain is realizable.

[0027] Like a 1st embodiment since a bias current flow is supplied by the interstage matching circuit 13 common to the transistor Q11 and Q12 low power consumption becomes possible realizing high gain.

[0028] Since the transistor Q11 is a common base the high-frequency amplifier of this embodiment also has the advantage that the combination during input and output by the interelectrode capacitance of the transistor Q11 can be prevented more certainly.

[0029] (A 3rd embodiment) Drawing 3 is a circuit diagram of the high-frequency amplifier concerning a 3rd embodiment of this invention. This embodiment transposes the bipolar transistor Q11 in a 2nd embodiment and Q12 to MOS transistor M11 and M12 in a field effect transistor and this example.

[0030] That is the source of the transistor M11 is connected to the output terminal of

the input matching circuit 12 and a drain is connected to the input terminal of the interstage matching circuit 13. The source of the transistor M12 is connected to the input terminal of the interstage matching circuit 13 and a drain is connected to the input terminal of the output matching circuit 14. And DC-bias-voltage V_{bias1} is supplied to the gate of the transistor M11 and DC-bias-voltage V_{bias2} is supplied to the gate of the transistor M12.

[0031] Although the MOS transistor is cheap as compared with a bipolar transistor in the same consumed electric current a transconductance is small. According to this embodiment the fault of such a MOS transistor can be compensated and high gain and low power consumption can be realized like a 2nd embodiment.

[0032] (A 4th embodiment) Drawing 4 is a circuit diagram of the high-frequency amplifier concerning a 4th embodiment of this invention. This embodiment extends a 3rd embodiment and is carrying out cascade connection of three MOS transistors M11M12 and M3 via interstage matching circuit 13-113-2 between each. Each of transistors M11M12 and M3 constitutes the grounded gate amplifying circuit and DC-bias-voltage V_{bias1} V_{bias2} and V_{bias3} are supplied to each gate respectively.

[0033] The bias current flow of the transistor M11M12 and M3 is a course of the source end V_{cc} to the output matching circuit 14 \rightarrow transistor M3 \rightarrow interstage matching circuit 13-2 \rightarrow transistor M12 \rightarrow interstage matching circuit 13-1 \rightarrow transistor M11 \rightarrow input matching circuit 12. It flows through each transistor M11M12 and M3 in common.

[0034] Thus according to this embodiment as compared with a 3rd embodiment the further high gain-ization is realizable with the same power consumption by increasing one transistor which functions as a power amplification element. It is also possible to attain much more high gain-ization by similarly increasing further the transistor and interstage matching circuit which carry out cascade connection.

[0035] (A 5th embodiment) Drawing 5 is a circuit diagram of the high-frequency amplifier concerning a 5th embodiment of this invention. The high-frequency amplifier concerning this embodiment changes into balanced type composition the high-frequency amplifier shown by a 3rd embodiment. That is high frequency signal RF_{in+} set to signal input terminal 21-121-2 of a couple from a differential signal and RF_{in-} are inputted and the source of MOS transistor M11-1 and M11-2 is supplied via the input matching circuit 22 respectively. DC-bias-voltage V_{bias1} is given in common to the gate of transistor M11-1 and M11-2.

[0036] The drain output of transistor M11-1 and M11-2 is supplied to the source of MOS transistor M12-1 and M12-2 via the interstage matching circuit 23 of balanced type composition respectively. DC-bias-voltage V_{bias2} is given in common to the gate of transistor M12-1 and M12-2. And it is outputted from the drain of transistor M12-1 and M12-2 as high frequency signal RF_{out1} set to signal output terminal 25-125-2 of a couple from a differential signal via the output matching circuit 24 of balanced type composition and RF_{out2} .

[0037] thus the 1st – the same effect as a 4th embodiment are acquired and also the case of balanced type composition has the advantage that the influence of the parasitism impedance of a bias circuit or noise which supplies DC-bias-voltage V_{bias1} and V_{bias2} is small with balanced type composition.

[0038]

[Effect of the Invention] As explained above the high-frequency amplifier of this invention The transistor for main amplification of the side into which a high frequency signal is inputted and the transistor for avoiding to this the influence of mirror capacity by which cascode connection was made by connecting via the interstage matching circuit for an impedance match As the latter transistor is also operated as an amplifier a high profit can be realized and moreover like the conventional high-frequency amplifiers since both transistors can be operated by a common bias current flow it has the effect that power consumption is low.

[0039] Therefore the high-frequency amplifier of this invention fits the wireless circuit section of a portable telephone or a Personal Digital Assistant which uses a cell as a power supply and the more nearly prolonged communication of it is attained.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The circuit diagram showing the composition of the high-frequency amplifier concerning a 1st embodiment of this invention

[Drawing 2] The circuit diagram showing the composition of the high-frequency amplifier concerning a 2nd embodiment of this invention

[Drawing 3] The circuit diagram showing the composition of the high-frequency amplifier concerning a 3rd embodiment of this invention

[Drawing 4] The circuit diagram showing the composition of the high-frequency amplifier concerning a 4th embodiment of this invention

[Drawing 5] The circuit diagram showing the composition of the high-frequency amplifier concerning a 5th embodiment of this invention

[Drawing 6] The circuit diagram showing the composition of the conventional high-frequency amplifier

[Description of Notations]

1121-121-2 ... Signal input terminal

1222 ... Input matching circuit

1323 ... Interstage matching circuit

1424 ... Output matching circuit

1525-125-2 ... Signal output terminal

Q11M11M21-1 and M21-2 ... The 1st transistor

Q12M12M13M22-1M22-2 ... The 2nd transistor

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-223963

(P2000-223963A)

(43)公開日 平成12年8月11日 (2000.8.11)

(51)Int.Cl.⁷

H 0 3 F 3/19
1/22

識別記号

F I

H 0 3 F 3/19
1/22

マークコード(参考)

5 J 0 9 2

審査請求 未請求 請求項の数4 O L (全7頁)

(21)出願番号 特願平11-21299

(22)出願日 平成11年1月29日 (1999.1.29)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 山路 隆文

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 渡辺 理

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

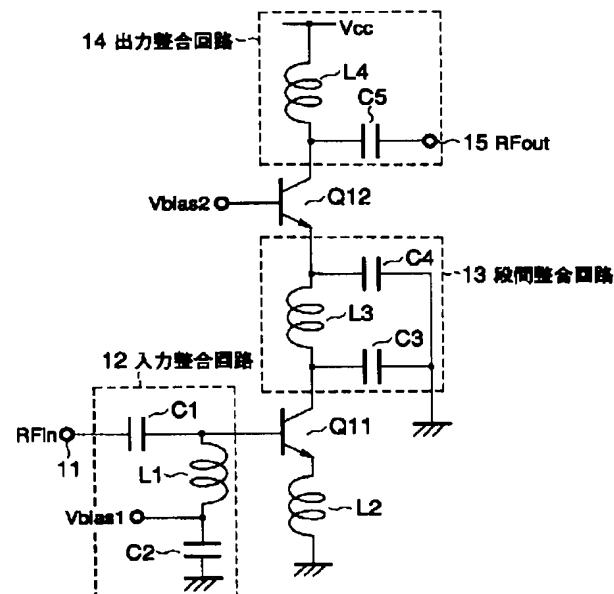
最終頁に続く

(54)【発明の名称】 高周波増幅器

(57)【要約】

【課題】消費電力の増大を伴うことなく高利得を実現できる高周波増幅器を提供する。

【解決手段】信号入力端子11に入力される高周波信号を増幅して出力する第1のトランジスタQ11と、複数のリアクタンス素子により構成され、トランジスタQ11の出力信号を入力とする段間整合回路13と、この段間整合回路13を介して入力される高周波信号を増幅して信号出力端子15に出力する第2のトランジスタQ12からなる。段間整合回路13は、トランジスタQ11の出力インピーダンスとトランジスタQ12の入力インピーダンスとのインピーダンス整合を行うと共に、トランジスタQ12に流れるバイアス電流と同一のバイアス電流をトランジスタQ11に共通に供給する。



【特許請求の範囲】

【請求項1】信号入力端子より入力される高周波信号を増幅して出力する第1のトランジスタと、複数のリアクタンス素子により構成され、前記第1のトランジスタの出力信号を入力とする段間整合回路と、前記段間整合回路を介して入力される高周波信号を増幅して信号出力端子に出力する第2のトランジスタとを備え、

前記段間整合回路は、前記第1のトランジスタの出力インピーダンスと前記第2のトランジスタの入力インピーダンスとのインピーダンス整合を行うと共に、前記第2のトランジスタに流れるバイアス電流と同一のバイアス電流を前記第1のトランジスタに供給することを特徴とする高周波増幅器。

【請求項2】前記第2のトランジスタの出力側に、該第2のトランジスタの出力インピーダンスと前記負荷回路とのインピーダンス整合を行う出力整合回路を有することを特徴とする請求項1記載の高周波増幅器。

【請求項3】前記第1のトランジスタおよび前記第2のトランジスタは、ゲート接地増幅回路またはベース接地増幅回路を構成することを特徴とする請求項1または2記載の高周波増幅器。

【請求項4】ゲート接地増幅回路またはベース接地増幅回路を構成する複数のトランジスタを複数のリアクタンス素子からなる段間整合回路を介して継続接続し、前記段間整合回路により前段のトランジスタのドレインまたはコレクタの出力インピーダンスと後段のトランジスタのソースまたはエミッタの入力インピーダンスとのインピーダンス整合を行うと共に、前記段間整合回路を介して後段のトランジスタに流れるバイアス電流と共通のバイアス電流を前段のトランジスタに供給することを特徴とする高周波増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、無線通信に用いられる高周波増幅器に係り、特に高利得かつ低消費電力が要求される携帯機器の無線回路に適した高周波増幅器に関する。

【0002】

【従来の技術】従来の高周波増幅器として、Hershel Ainspan氏による文献 "A 6.25GHz LowDC Power Low-Noise Amplifier in SiGe", Proceedings of IEEE 1997, Custom Integrated Circuits Conference pp. 9.2.1-9.2.4 が知られている。

【0003】図6は、この文献に記載された高周波増幅器の主要部の概略を示す図である。入力端子INに入力される高周波信号は、トランジスタQ1により構成されるエミッタ接地増幅回路によって増幅される。このトランジスタQ1のコレクタにミラー容量の影響を回避するためのトランジスタQ2が接続され、これにより高周波

での利得低下を防いでいる。トランジスタQ1, Q2のこのような接続は、カスコード接続と呼ばれている。トランジスタQ2のコレクタ電流は、インダクタLとキャパシタCからなる負荷回路により電圧信号に変換された後、出力バッファとして機能するトランジスタQ3からなるエミッタフォロワ回路を介して出力端子に取り出される。

【0004】このようなカスコード接続を用いた高周波増幅器では、電力増幅素子として機能している素子は、事実上トランジスタQ1のみである。すなわち、図6においてトランジスタQ1, Q2には同じバイアス電流が共通に流れしており、Q2はQ1のコレクタ電流を直接エミッタに入力している。バイポーラトランジスタにおいて、コレクタ出力はインピーダンスが高く、エミッタ入力はインピーダンスが低いため、トランジスタQ1のコレクタからの出力電流は効率よくトランジスタQ2に受け渡される。

【0005】しかし、トランジスタQ1のコレクタからトランジスタQ2への電力の受け渡しとして考えると、トランジスタQ1とトランジスタQ2はミスマッチングの状況にある。このため、電力増幅率はトランジスタQ1単体の場合と比べて、ミラー容量の低減効果による増加分だけしか見込めない。

【0006】

【発明が解決しようとする課題】上述したように、従来の高周波増幅器では電力増幅素子として機能するトランジスタは1段であるため、電力利得はあまり高くない。より高い利得を得ようとすると、同様の回路を複数段縦列に接続する必要があり、消費電力が増大するという問題があった。

【0007】本発明は、このような問題点を解消するためになされたものであり、消費電力の増大を伴うことなく高利得を実現できる高周波増幅器を提供することを目的とする。

【0008】

【課題を解決するための手段】上記課題を解決するため、本発明に係る高周波増幅器は、信号入力端子より入力される高周波信号を増幅して出力する第1のトランジスタと、複数のリアクタンス素子により構成され、第1のトランジスタの出力信号を入力とする段間整合回路と、この段間整合回路を介して入力される高周波信号を増幅して信号出力端子に出力する第2のトランジスタとからなる。段間整合回路は、第1のトランジスタの出力インピーダンスと第2のトランジスタの入力インピーダンスとのインピーダンス整合を行うと共に、第2のトランジスタに流れるバイアス電流と同一のバイアス電流を第1のトランジスタに供給するように構成される。

【0009】また、第2のトランジスタの出力側に、第2のトランジスタの出力インピーダンスと負荷回路とのインピーダンス整合を行う出力整合回路をさら設けるこ

とが望ましい。

【0010】このように構成される本発明の高周波増幅器では、第1のトランジスタの出力出力が段間整合回路により低インピーダンスに変換され、より電流振幅が大きく電圧振幅が小さな信号となって第2のトランジスタに入力されるため、第1のトランジスタから第2のトランジスタへの電力の受け渡しが効率よく行われる。従って、第2のトランジスタの出力側のインピーダンス整合が適切にとられていれば、第1のトランジスタのみでなく第2のトランジスタも電力増幅素子として有効に機能することになり、高い利得が得られる。

【0011】また、第1のトランジスタと第2のトランジスタが段間整合回路を介して結合されていることにより、第1のトランジスタには第2のトランジスタを流れる直流バイアス電流と同じ直流バイアス電流が段間整合回路を介して共通に流れるため、消費電力は第1のトランジスタのみが電力増幅素子として機能する従来の高周波増幅器と同等に抑えられる。

【0012】本発明において、第1のトランジスタおよび第2のトランジスタは、好ましくはゲート接地増幅回路またはベース接地増幅回路として構成される。第1のトランジスタについては、ソース接地増幅回路またはエミッタ接地増幅回路として構成してもよいが、ゲート接地増幅回路またはベース接地増幅回路とすると、第1のトランジスタの電極間容量による第1、第2のトランジスタ間の結合がより確実に防止される。

【0013】また、本発明はさらに多数のトランジスタを段間整合回路を介して縦続接続した構成とすることも可能である。すなわち、ゲート接地増幅回路またはベース接地増幅回路を構成する複数のトランジスタを複数のリアクタンス素子からなる段間整合回路を介して縦続接続し、段間整合回路により前段のトランジスタのドレインまたはコレクタの出力インピーダンスと後段のトランジスタのソースまたはエミッタの入力インピーダンスとのインピーダンス整合を行うと共に、後段のトランジスタに流れるバイアス電流と共通のバイアス電流を前段のトランジスタに供給するようにしてもよい。

【0014】このような構成とすることにより、消費電力を増大させることなく、より高い利得を実現することができる。

【0015】

【発明の実施の形態】以下、図面を参照して本発明の一実施形態を説明する。

(第1の実施形態) 図1は、本発明の第1の実施形態に係る高周波増幅器の回路図である。本実施形態では、トランジスタとしてバイポーラトランジスタを用いた場合について説明するが、MOSFETを用いて構成することもできる。

【0016】図1において、高周波信号RFinが入力される信号入力端子11は、キャパシタC1、C2とイン

ダクタL1により構成される入力整合回路12の入力端に接続され、この入力整合回路12の出力端は第1のトランジスタQ11のベースに接続される。トランジスタQ11のベースには、入力整合回路12内のインダクタL1を介して直流バイアス電圧Vbias1が印加されている。トランジスタQ11のエミッタは、線形範囲を拡大するためのディジエネレーション用インダクタL2を介して接地されている。トランジスタQ11は、エミッタ接地増幅回路を構成している。

【0017】トランジスタQ11のコレクタは、インダクタL3とキャパシタC3、C4より構成される段間整合回路13の入力端に接続され、この段間整合回路13の出力端は第2のトランジスタQ12のエミッタに接続される。このトランジスタQ12のベースには、直流バイアス電圧Vbias2が印加されている。トランジスタQ12は、ベース接地増幅回路を構成している。

【0018】トランジスタQ12のコレクタは、インダクタL4とキャパシタC5により構成される出力整合回路14の入力端に接続される。この出力整合回路14の出力端は信号出力端子15に接続され、この信号出力端子15から増幅された高周波信号RFoutが outputされる。信号出力端子15には、例えば特性インピーダンス50Ωの伝送線路が接続される。

【0019】次に、この高周波増幅器の動作を説明する。信号入力端子1に入力される高周波信号RFinは、入力整合回路12を介してトランジスタQ11のベースに供給され、トランジスタQ11により増幅されてコレクタから出力される。トランジスタQ11はエミッタ接地増幅回路を構成しており、出力であるコレクタの出力インピーダンスは高い。

【0020】トランジスタQ11のコレクタ出力は、段間整合回路13により低インピーダンスに変換され、電流振幅が大きく電圧振幅が小さな信号となってトランジスタQ12のエミッタに入力される。すなわち、段間整合回路13は入力された信号の電力をほぼ一定に保ってインピーダンス、つまり電流と電圧の比率を変換する。従って、トランジスタQ11のコレクタとトランジスタQ12のエミッタを直結した従来の高周波増幅器と異なり、トランジスタQ11のコレクタの出力電流より大きな信号電流が段間整合回路13からトランジスタQ12のエミッタに流れ込む。

【0021】この場合、トランジスタQ12のコレクタにはエミッタに入力された電流とほぼ同振幅の電流が現れるが、コレクタのインピーダンスは高く、信号出力端子RFoutに接続される伝送線路の特性インピーダンスより高くなっている。そこで、出力整合回路14によつてトランジスタQ12のコレクタ出力の出力インピーダンスを下げ、伝送線路とのインピーダンス整合をとると、トランジスタQ12も電力増幅素子として有効に機能する。

【0022】一方、トランジスタQ11, Q12の直流バイアス電流は、電源端Vccから出力整合回路14のインダクタL4を介してトランジスタQ12のコレクタに流れ込み、さらにトランジスタQ12のエミッタから段間整合回路13を介してトランジスタQ11のコレクタに流れ込む。すなわち、トランジスタQ11とQ12が段間整合回路13を介して結合されていることにより、トランジスタQ11にはトランジスタQ12を流れる直流バイアス電流と同じ直流バイアス電流が段間整合回路13を介して共通に流れる。従って、消費電力はトランジスタQ11のみが電力増幅素子として機能する従来の高周波増幅器と同じである。

【0023】このように本実施形態の高周波増幅器は、トランジスタQ11, Q12を段間整合回路13により接続し、両トランジスタQ11, Q12に同一の直流バイアス電流を共通に供給すると共に、トランジスタQ11のみでなく、トランジスタQ12も電力増幅素子として動作させている。従って、消費電力を増大させることなく、電力増幅素子がトランジスタQ11単独の場合に比較して高い電力利得を得ることができる。

【0024】(第2の実施形態) 図2は、本発明の第2の実施形態に係る高周波増幅器の回路図である。図1と相対応する部分に同一符号を付して説明すると、本実施形態は第1のトランジスタQ11がベース接地増幅回路を構成している点が第1の実施形態と異なる。

【0025】入力整合回路12は、この例ではインダクタL5, L6とキャパシタC6により構成され、その出力端子はトランジスタQ11のエミッタに接続される。そして、トランジスタQ11のベースに直流バイアス電圧Vbias1が供給されている。トランジスタQ11のコレクタは、段間整合回路13の入力端子に接続される。その他の構成は、第1の実施形態と同様である。

【0026】本実施形態の高周波増幅器では、トランジスタQ11, Q12が共にベース接地増幅回路を構成しているが、段間整合回路13によりトランジスタQ11の出力インピーダンスとトランジスタQ12の入力インピーダンスとのインピーダンス整合がとられ、さらにトランジスタQ12の出力インピーダンスと信号出力端子15のインピーダンスとのインピーダンス整合がとられることにより、高い電力利得を実現できる。

【0027】また、第1の実施形態と同様に、段間整合回路13によってトランジスタQ11, Q12に共通に直流バイアス電流が供給されるため、高利得を実現しながら低消費電力化が可能となる。

【0028】さらに、本実施形態の高周波増幅器は、トランジスタQ11がベース接地であるため、トランジスタQ11の電極間容量による入出力間の結合をより確実に防止できるという利点もある。

【0029】(第3の実施形態) 図3は、本発明の第3の実施形態に係る高周波増幅器の回路図である。本実施

形態は、第2の実施形態におけるバイポーラトランジスタQ11, Q12を電界効果トランジスタ、この例ではMOSトランジスタM11, M12に置き換えたものである。

【0030】すなわち、トランジスタM11のソースは入力整合回路12の出力端子に接続され、ドレインは段間整合回路13の入力端子に接続される。また、トランジスタM12のソースは段間整合回路13の入力端子に接続され、ドレインは出力整合回路14の入力端子に接続される。そして、トランジスタM11のゲートに直流バイアス電圧Vbias1が供給され、トランジスタM12のゲートに直流バイアス電圧Vbias2が供給される。

【0031】MOSトランジスタは、バイポーラトランジスタに比較して安価であるが、同じ消費電流ではトランジストコンダクタンスが小さい。本実施形態によると、このようなMOSトランジスタの欠点を補い、第2の実施形態と同様に高利得と低消費電力を実現することができる。

【0032】(第4の実施形態) 図4は、本発明の第4の実施形態に係る高周波増幅器の回路図である。本実施形態は、第3の実施形態を拡張し、3つのMOSトランジスタM11, M12, M3をそれぞれの間に段間整合回路13-1, 13-2を介して縦続接続している。トランジスタM11, M12, M3はいずれもゲート接地増幅回路を構成しており、各ゲートに直流バイアス電圧Vbias1, Vbias2, Vbias3がそれぞれ供給される。

【0033】また、トランジスタM11, M12, M3の直流バイアス電流は電源端Vccから出力整合回路14→トランジスタM3→段間整合回路13-2→トランジスタM12→段間整合回路13-1→トランジスタM11→入力整合回路12の経路で、各トランジスタM11, M12, M3を共通に流れる。

【0034】このように本実施形態によれば、電力増幅素子として機能するトランジスタを一つ増やすことにより、第3の実施形態に比較して同じ消費電力でさらなる高利得化を実現することができる。同様にして、縦続接続するトランジスタと段間整合回路をさらに増やすことによって、より一層の高利得化を図ることも可能である。

【0035】(第5の実施形態) 図5は、本発明の第5の実施形態に係る高周波増幅器の回路図である。本実施形態に係る高周波増幅器は、第3の実施形態で示した高周波増幅器を平衡型構成に変更したものである。すなわち、一対の信号入力端子21-1, 21-2に差動信号からなる高周波信号RFin+, RFin-が入力され、入力整合回路22を介してMOSトランジスタM11-1, M11-2のソースにそれぞれ供給される。トランジスタM11-1, M11-2のゲートには、直流バイアス電圧Vbias1が共通に与えられている。

【0036】トランジスタM11-1, M11-2のド

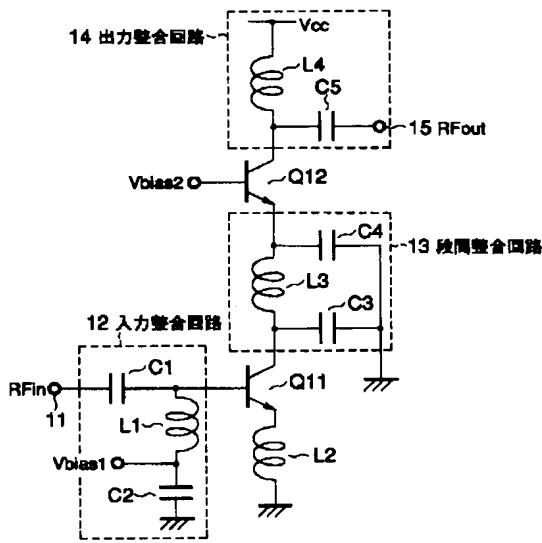
レイン出力は、平衡型構成の段間整合回路23を介してMOSトランジスタM12-1, M12-2のソースにそれぞれ供給される。トランジスタM12-1, M12-2のゲートには、直流バイアス電圧Vbias2が共通に与えられている。そして、トランジスタM12-1, M12-2のドレインから平衡型構成の出力整合回路24を介して一对の信号出力端子25-1, 25-2に差動信号からなる高周波信号RFout1, RFout2として出力される。

【0037】このように平衡型構成の場合も、第1～第4の実施形態と同様の効果が得られるほか、平衡型構成では直流バイアス電圧Vbias1, Vbias2を供給するバイアス回路の寄生インピーダンスや雑音の影響が小さいという利点がある。

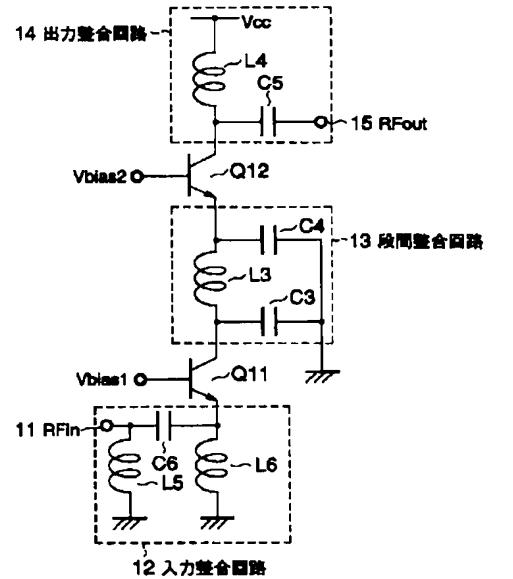
【0038】

【発明の効果】以上説明したように、本発明の高周波増幅器は、高周波信号が入力される側の主たる増幅用のトランジスタと、これにカスコード接続されたミラー容量の影響を回避するためのトランジスタをインピーダンス整合のための段間整合回路を介して接続することにより、後者のトランジスタをも増幅素子として動作させるようにして高い利得を実現することができ、しかも従来の高周波増幅器と同様に、両トランジスタを共通の直流バイアス電流で動作させることができるので、消費電力が低いという効果を有する。

【図1】



【図2】



【0039】従って、本発明の高周波増幅器は、電池を電源として用いる携帯電話機や携帯情報端末の無線回路部に適しており、より長時間の通信が可能となる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係る高周波増幅器の構成を示す回路図

【図2】 本発明の第2の実施形態に係る高周波増幅器の構成を示す回路図

【図3】 本発明の第3の実施形態に係る高周波増幅器の構成を示す回路図

【図4】 本発明の第4の実施形態に係る高周波増幅器の構成を示す回路図

【図5】 本発明の第5の実施形態に係る高周波増幅器の構成を示す回路図

【図6】 従来の高周波増幅器の構成を示す回路図

【符号の説明】

11, 21-1, 21-2 . . . 信号入力端子

12, 22 . . . 入力整合回路

13, 23 . . . 段間整合回路

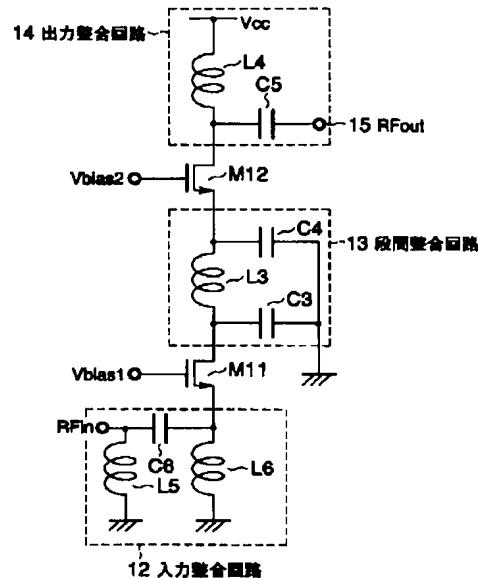
14, 24 . . . 出力整合回路

15, 25-1, 25-2 . . . 信号出力端子

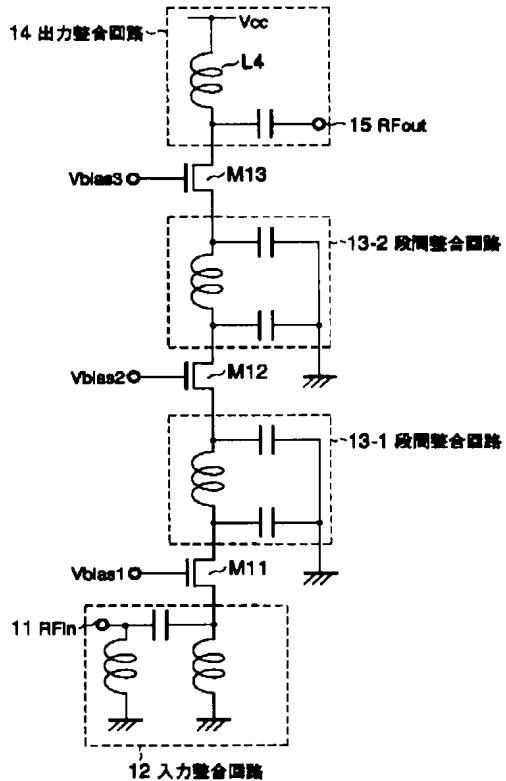
Q11, M11, M21-1, M21-2 . . . 第1のトランジスタ

Q12, M12, M13, M22-1, M22-2 . . . 第2のトランジスタ

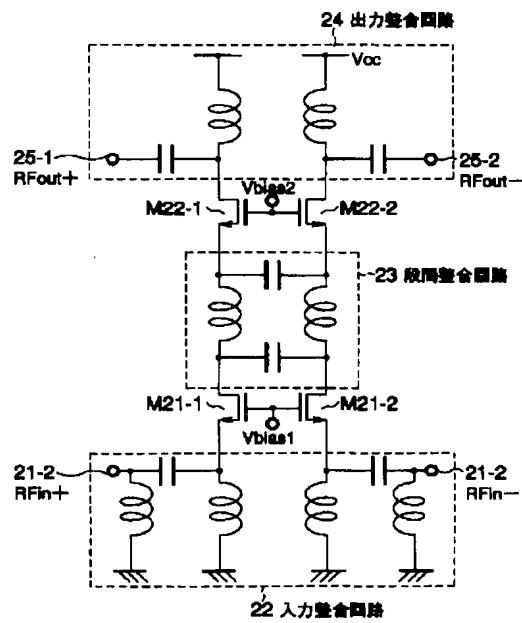
【図3】



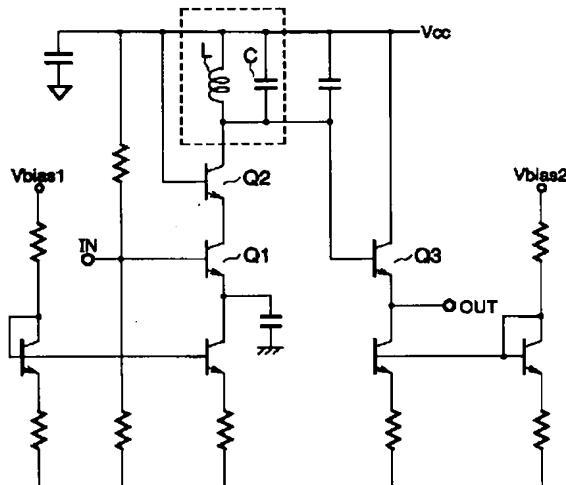
【図4】



【図5】



【図6】



フロントページの続き

(72) 発明者 谷本 洋
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

F ターム(参考) 5J092 AA01 AA41 CA35 CA36 FA20
HA02 HA10 HA29 HA33 KA29
MA01 MA04 MA17 MA21 SA13